



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月 1 9 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 4 0 5 4 2  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 4 0 5 4 2 ]

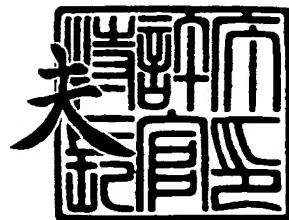
出 願 人                      株式会社日立製作所  
Applicant(s):

U.S. Appln. Filed 2-6-04  
Inventor: T. Kawata et al  
mattingly Stanger & malur  
Docket T+A-125

2 0 0 3 年 1 1 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 H02017061

【提出日】 平成15年 2月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 川田 隆弘

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 中原 茂

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 日下田 恵一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円



【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	



【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 (a) 第 1 導電型の半導体基板と、  
(b) 前記半導体基板に設けられた、前記第 1 導電型とは反対の第 2 導電型の第 1、第 2 および第 3 ウエルと、  
(c) 前記第 1 ウエルに配置された、第 1 電源電圧で駆動する第 1 チャネル導電型の第 1 電界効果トランジスタおよび前記第 1 電源電圧よりも絶対値で大きい第 2 電源電圧で駆動する第 1 チャネル導電型の第 2 電界効果トランジスタと、  
(d) 前記第 2 ウエルに配置された、前記第 1 電源電圧で駆動する第 1 チャネル導電型の第 3 電界効果トランジスタと、  
(e) 前記第 3 ウエルに配置された、前記第 2 電源電圧で駆動する第 1 チャネル導電型の第 4 電界効果トランジスタとを備え、  
前記第 1 ウエルに前記第 2 電源電圧を供給し、  
前記第 2 ウエルに前記第 1 電源電圧を供給し、  
前記第 3 ウエルに前記第 2 電源電圧を供給し、  
前記第 1 ウエルと第 2 ウエルとの間および前記第 2 ウエルと第 3 ウエルとの間に、前記第 1、第 2 電界効果トランジスタの間の第 1 分離部よりも幅広の第 2 分離部を設けたことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記第 1 電界効果トランジスタのしきい値電圧を、前記第 2 電界効果トランジスタのしきい値電圧よりも低くしたことを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、前記第 1、第 2 電界効果トランジスタのゲート絶縁膜の厚さが等しいことを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、前記第 2 電界効果トランジスタは S R A M のメモリセルを構成する電界効果トランジスタであり、前記第 1 電界効果トランジスタは前記 S R A M の周辺回路を構成する電界効果トランジスタであることを特徴とする半導体装置。

【請求項 5】 請求項 4 記載の半導体装置において、前記第 1、第 2 および

第3ウエルを、それぞれ第1導電型の第1、第2および第3埋込ウエルに内包されるように設けたことを特徴とする半導体装置。

【請求項6】 (a) 第1導電型の半導体基板と、  
(b) 前記半導体基板に設けられた、前記第1導電型とは反対の第2導電型の第1、第2および第3埋込ウエルと、  
(c) 前記第1、第2および第3埋込ウエルの各々に内包されるように設けられた第2導電型の第1、第2および第3ウエルと、  
(d) 前記第1ウエルに設けられた、第1電源電圧で駆動する第1チャネル導電型の第1電界効果トランジスタおよび前記第1電源電圧よりも絶対値で大きい第2電源電圧で駆動する第1チャネル導電型の第2電界効果トランジスタと、  
(e) 前記第2ウエルに配置された、前記第1電源電圧で駆動する第1チャネル導電型の第3電界効果トランジスタと、  
(f) 前記第3ウエルに配置された、前記第2電源電圧で駆動する第1チャネル導電型の第4電界効果トランジスタとを備え、  
前記第1ウエルに前記第2電源電圧を供給し、  
前記第2ウエルに前記第1電源電圧を供給し、  
前記第3ウエルに前記第2電源電圧を供給し、  
前記第1ウエルと第2ウエルとの間および前記第2ウエルと第3ウエルとの間に、前記第1、第2電界効果トランジスタの間の第1分離部よりも幅広の第2分離部を設けたことを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、前記第1電界効果トランジスタのしきい値電圧を、前記第2電界効果トランジスタのしきい値電圧よりも低くしたことを特徴とする半導体装置。

【請求項8】 請求項6記載の半導体装置において、前記第1、第2電界効果トランジスタのゲート絶縁膜の厚さが等しいことを特徴とする半導体装置。

【請求項9】 請求項6記載の半導体装置において、前記第2電界効果トランジスタはSRAMのメモリセルを構成する電界効果トランジスタであり、前記第1電界効果トランジスタは前記SRAMの周辺回路を構成する電界効果トランジスタであることを特徴とする半導体装置。

【請求項 10】 (a) 第 1 導電型の半導体基板と、  
(b) 前記半導体基板に設けられた、前記第 1 導電型とは反対の第 2 導電型の第 1 埋込ウエルと、  
(c) 前記第 1 埋込ウエルに内包されるように設けられた第 2 導電型の第 1 ウエルと、  
(d) 前記第 1 ウエルに配置された、第 1 電源電圧で駆動する第 1 チャネル導電型の第 1 電界効果トランジスタおよび前記第 1 電源電圧よりも絶対値で大きい第 2 電源電圧で駆動する第 1 チャネル導電型の第 2 電界効果トランジスタとを備え、  
前記第 1 ウエルに前記第 2 電源電圧を供給することを特徴とする半導体装置。

【請求項 11】 請求項 10 記載の半導体装置において、前記第 1 埋込ウエルに内包されるように第 1 導電型の第 4 ウエルを設け、前記第 4 ウエルに前記第 1 チャネル導電型とは反対の第 2 チャネル導電型の第 5 電界効果トランジスタを配置したことを特徴とする半導体装置。

【請求項 12】 (a) 第 1 導電型の半導体基板と、  
(b) 前記半導体基板に設けられた、第 1 導電型とは反対の第 2 導電型の第 1 埋込ウエルと、  
(c) 前記第 1 埋込ウエルに内包されるように設けられた第 2 導電型の第 5、第 6 ウエルと、  
(d) 前記第 1 埋込ウエルに内包されるように設けられた第 1 導電型の第 7、第 8 ウエルと、  
(e) 前記第 5 ウエルに配置された、第 1 電源電圧で駆動する第 1 チャネル導電型の第 1 電界効果トランジスタと、  
(f) 前記第 6 ウエルに配置された、前記第 1 電源電圧よりも絶対値で大きい第 2 電源電圧で駆動する第 1 チャネル導電型の第 2 電界効果トランジスタと、  
(g) 前記第 7 ウエルに配置された、前記第 1 チャネル導電型とは反対の第 2 チャネル導電型の第 6 電界効果トランジスタと、  
(h) 前記第 8 ウエルに配置された第 2 チャネル導電型の第 7 電界効果トランジスタとを備え、

前記第 5、第 6 ウエルに同一の前記第 2 電源電圧を供給することを特徴とする半導体装置。

【請求項 13】 請求項 12 記載の半導体装置において、前記半導体基板に第 2 導電型の第 2、第 3 埋込ウエルを設け、

前記第 2 埋込ウエルに内包されるように第 2 導電型の第 9 ウエルを設け、前記第 9 ウエルに前記第 1 電源電圧で駆動する第 1 チャンネル導電型の第 8 電界効果トランジスタを配置し、前記第 9 ウエルに前記第 1 電源電圧を供給し、

前記第 3 埋込ウエルに内包されるように第 2 導電型の第 10 ウエルを設け、前記第 10 ウエルに前記第 2 電源電圧で駆動する第 1 チャンネル導電型の第 9 電界効果トランジスタを配置し、前記第 10 ウエルに前記第 2 電源電圧を供給し、

前記第 1 埋込ウエルと第 2 埋込ウエルとの間および前記第 2 埋込ウエルと第 3 埋込ウエルとの間に、前記第 1 埋込ウエル内に配置された第 1 分離部よりも幅広の第 2 分離部を設けたことを特徴とする半導体装置。

【請求項 14】 (a) 第 1 導電型の半導体基板と、

(b) 前記半導体基板に設けられた、第 1 導電型とは反対の第 2 導電型の第 1 埋込ウエルと、

(c) 前記第 1 埋込ウエルに内包されるように設けられた第 2 導電型の第 5、第 6 ウエルと、

(d) 前記第 1 埋込ウエルに内包されるように設けられ、前記第 5、第 6 ウエルとの間に設けられた第 1 導電型の第 11 ウエルと、

(e) 前記第 5 ウエルに配置された、第 1 電源電圧で駆動する第 1 チャンネル導電型の第 1 電界効果トランジスタと、

(f) 前記第 6 ウエルに配置された、前記第 1 電源電圧よりも絶対値で大きい第 2 電源電圧で駆動する第 1 チャンネル導電型の第 2 電界効果トランジスタと、

(g) 前記第 11 ウエルに配置された、前記第 1 チャンネル導電型とは反対の第 2 チャンネル導電型の第 6 電界効果トランジスタとを備え、

前記第 5、第 6 ウエルに同一の前記第 2 電源電圧を供給することを特徴とする半導体装置。

【請求項 15】 請求項 14 記載の半導体装置において、前記半導体基板に

第2導電型の第2、第3埋込ウエルを設け、前記第2埋込ウエルに内包されるように第2導電型の第12ウエルを設け、前記第12ウエルに前記第1電源電圧で駆動する第1チャネル導電型の第8電界効果トランジスタを配置し、前記第12ウエルに前記第1電源電圧を供給し、

前記第3埋込ウエルに内包されるように第13ウエルを設け、前記第13ウエルに前記第2電源電圧で駆動する第1チャネル導電型の第9電界効果トランジスタを配置し、前記第13ウエルに前記第2電源電圧を供給し、

前記第1埋込ウエルと第2埋込ウエルとの間および前記第2埋込ウエルと第3埋込ウエルとの間に、前記第1埋込ウエル内に配置された第1分離部よりも幅広の第2分離部を設けたことを特徴とする半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体装置技術に関し、特に、同一の半導体基板に異なる電源電圧で駆動する素子を有する半導体装置に適用して有効な技術に関するものである。

##### 【0002】

#### 【従来の技術】

例えば特開平5-120882号公報には、SRAM (Static Random Access Memory) の低電圧動作を実現するために、メモリセル給電線およびワード線のいずれか一方または両方の電圧を昇圧する技術が開示されている。このSRAMでは、異なる電源電圧で駆動するMOS・FET (Metal Oxide Semiconductor Field Effect Transistor) が同一の半導体基板に混在しており、その電源電圧の異なるMOS・FET毎に、異なるウエルバイアス電圧を供給している（例えば特許文献1）。

##### 【0003】

また、例えば特開平11-7776号公報には、メモリセルへの昇圧電圧を供給する方法として、pチャネル型のMOS・FETのnウエルバイアス電圧として昇圧前の電圧（VDD）を与えている（例えば特許文献2）。

##### 【0004】



また、例えば特開平 5-267617 号公報には、DRAM (Dynamic Random Access Memory) のメモリセルを専用のウエルに設け、周辺回路用のウエルとは電氣的に分離させた構造が開示されている（例えば特許文献 3）。

【0005】

【特許文献 1】

特開平 5-120882 号公報

【0006】

【特許文献 2】

特開平 11-7776 号公報

【0007】

【特許文献 3】

特開平 5-267617 号公報

【0008】

【発明が解決しようとする課題】

ところが、上記電源電圧の異なる MOS・FET 毎に、異なるウエルバイアス電圧を供給する技術においては、その電源電圧の異なる MOS・FET 間のラッチアップを防ぐために、その電源電圧の異なる MOS・FET 間に比較的広い素子分離部を配置する必要がある、チップサイズの増大を招く問題がある。また、p チャネル型の MOS・FET の n ウエルバイアス電圧として昇圧前の電圧 (VDD) を与えると、ラッチアップが生じる恐れがある。

【0009】

本発明の目的は、半導体装置のチップサイズを縮小させることのできる技術を提供することにある。

【0010】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば

、次のとおりである。

【0012】

すなわち、本発明は、第1電源電圧で駆動する電界効果トランジスタと、前記第1電源電圧よりも絶対値で高い第2電源電圧で駆動する電界効果トランジスタとを同一の半導体基板の同一の第1ウェルに設け、前記第1ウェルに前記第2電源電圧を供給するものである。

【0013】

【発明の実施の形態】

本実施の形態を説明する前に、本実施の形態で用いる用語の基本的な意味を説明すると、以下の通りである。

【0014】

ソース電圧とは、チャンネルにキャリアを供給する電極に印加する電圧である。以下の実施の形態の説明において、電源電圧を  $V_{SSL} < V_{SS} < V_{DD} < V_{DDH}$  とする。pチャネル型の電界効果トランジスタでは、電源電圧  $V_{DD}$  または  $V_{DDH}$  ( $V_{DD} < V_{DDH}$ ) をソース電圧とする。また、nチャネル型の電界効果トランジスタでは、電源電圧  $V_{SS}$ ,  $V_{SSL}$  ( $V_{SS} > V_{SSL}$ ) をソース電圧とする。

【0015】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでない

と考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。以下、本発明の実施の形態を図面に基づいて詳細に説明する。また、本実施の形態においては、MIS・FET (Metal Insulator Semiconductor・Field Effect Transistor) をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。

#### 【0016】

##### (実施の形態1)

図1は、本発明者が検討した半導体装置の部分断面図の一例を示している。図1には、異なる電源電圧で駆動する2種類のpMISQp50, Qp51が隣接するようにp型の半導体基板50の主面に配置されている場合が例示されている。一方のpMISQp50の電極51aおよびウエル給電電極51bには電源電圧VDD50が供給され、他方のpMISQp51の電極51cおよびウエル給電電極51dには上記電源電圧VDD50よりも高い電源電圧VDDH50が印加される。しかし、この場合、nウエルNWL50に印加されるウエルバイアス電圧と、nウエルNWL51に印加されるウエルバイアス電圧とが異なるため、何ら手段を講じないとpMISQp50, Qp51間でラッチアップが生じるおそれがある。このため、そのラッチアップを抑制または防止する観点からpMISQp50, Qp51の間に比較的幅の広い分離部52を配置せざるを得ず、チップサイズの増大を招くという問題がある。

#### 【0017】

そこで、本実施の形態1においては、異なる電源電圧（ソース電圧）で駆動するMISのそれぞれに対して同一のウエルバイアス電圧を印加する。その際、異なる電源電圧で駆動するMISのソース電圧のうち、絶対値の大きいソース電圧の方をそれぞれのMISの共通のウエルバイアス電圧として選択し各々のウエルに印加する。これにより、ラッチアップを抑制または防止できるので、異なる電

源電圧で駆動するMISの隣接間の分離間隔を小さくすることができる。したがって、チップサイズを縮小させることが可能となる。

#### 【0018】

図2は、本実施の形態1の半導体装置の要部断面図の具体例を示している。この図2には、例えばp型のシリコン(Si)単結晶からなる半導体基板(以下、基板という)1Sの主面(デバイス面)に、電源電圧(第1電源電圧)VDDで駆動するpMIS(第1電界効果トランジスタ)Qp1と、電源電圧VDDよりも高い電源電圧(第2電源電圧)VDDHで駆動するpMIS(第2電界効果トランジスタ)Qp2とが互いに隣接するように配置されている場合が例示されている。この電源電圧VDD、VDDHは、ソース電圧であり、いずれも正の電圧である。

#### 【0019】

pMISQp1は、ソースおよびドレイン用のp+型の半導体領域2aと、ゲート絶縁膜3と、ゲート電極4とを有している。また、pMISQp2も、ソースおよびドレイン用のp+型の半導体領域2bと、ゲート絶縁膜3と、ゲート電極4とを有している。上記半導体領域2a、2bは、例えばホウ素(B)または二フッ化ホウ素(BF<sub>2</sub>)等のような不純物を基板1Sの主面側から導入することで形成されている。上記ゲート絶縁膜3は、例えば酸化シリコン膜(SiO<sub>2</sub>等)または酸窒化シリコン膜(SiON)等からなる。pMISQp1、Qp2のゲート絶縁膜3の厚さは等しくなっている。上記ゲート電極4は、例えば低抵抗多結晶シリコンの単体膜、低抵抗多結晶シリコン膜上にコバルトシリサイド(Co<sub>x</sub>Si<sub>y</sub>)等のようなシリサイド層を形成した積層膜または低抵抗多結晶シリコン膜上に、例えば窒化タングステン(WN)等のようなバリア金属膜を介してタングステン等のような金属膜を堆積した積層膜からなる。

#### 【0020】

本実施の形態1では、このような異なる電源電圧で駆動するpMISQp1、Qp2が共通のnウエル(第1ウエル)NWLの領域内に配置されている。そして、nウエルNWLに同一のウエルバイアス電圧VBPを印加するようになっている。この場合、ウエルバイアス電圧VBPは相対的に高い電源電圧VDDHと

されている。基板 1 S の主面の所望の領域には相対的に幅の狭い分離部（第 1 分離部）5 とこれよりも幅の広い分離部（第 2 分離部）5 L が形成されているが、本実施の形態 1 によればラッチアップを抑制または防止できるので、p M I S Q p 1, Q p 2 の隣接間の分離部 5 の幅を分離部 5 L（図 1 の分離部 5 2）よりも小さくすることができる。このため、ウエル給電領域を含む p M I S Q p 1, Q p 2 全体の占有面積を図 1 よりも小さくすることができる。したがって、チップサイズを縮小させることが可能となる。ただし、この場合、相対的に低い電源電圧 VDD で駆動する p M I S Q p 1 のウエルバイアス電圧 VBP を電源電圧 VDDH にしたことにより、p M I S Q p 1 側で基板バイアス効果が生じ、p M I S Q p 1 のしきい値電圧が増加する結果、p M I S Q p 1 の動作速度が遅くなってしまう。そこで、本実施の形態 1 では、p M I S Q p 1 のしきい値電圧を、電源電圧 VDD をウエルバイアス電圧 VBP として印加する場合の p M I S Q p 1 のしきい値電圧よりも低くする。このようなしきい値電圧の調整は、p M I S Q p 1 のチャンネル部分（ゲート電極 4 の直下の基板 1 S 部分）への不純物の導入条件（種類やドーズ量等）を制御することにより行うことができる。この結果、ソース電圧が相対的に低い p M I S Q p 1 にはしきい値電圧が相対的に低い p M I S が使用され、ソース電圧が相対的に高い p M I S Q p 2 にはしきい値電圧が相対的に高い p M I S が使用される（デュアル（Dual）しきい値方式）。

#### 【0021】

上記 n ウエル NWL は、例えばリン（P）またはヒ素（As）等のような不純物を基板 1 S の主面側に導入することで形成されている。上記分離部 5, 5 L は、例えば溝型の構造（トレンチアイソレーション）とされており、同工程時に形成されている。すなわち、分離部 5 は、基板 1 S の厚さ方向に掘られた溝内に絶縁膜が埋め込まれることで形成されている。ただし、分離部 5, 5 L をロコス（Local Oxidization of Silicon）法によるフィールド絶縁膜で形成しても良い。基板 1 S の主面上には、例えば酸化シリコンからなる絶縁膜 7 a が堆積されている。絶縁膜 7 a 上には、例えばアルミニウム（Al）またはアルミニウム合金等のような金属からなる電極 8 a ~ 8 e が形成されている。電極 8 a, 8 b は、それぞれコンタクトホール 9, 9 を通じて半導体領域 2 a, 2 a と電氣的に接続さ

れている。電極 8 a には、基準電圧として電源電圧  $V_{SS}$  が印加され、電極 8 b にはソース電圧として電源電圧  $V_{SS}$  よりも高い電源電圧  $V_{DD}$  が印加される。電極 8 c は、コンタクトホール 9 を通じて n ウェル NWL の n+型の半導体領域 10 a と電氣的に接続されている。この電極 8 c には、上記ウェルバイアス電圧  $V_{BP}$  (=電源電圧  $V_{DDH}$ ) が印加される。電極 8 d, 8 e は、それぞれコンタクトホール 9, 9 を通じて半導体領域 2 b, 2 b と電氣的に接続されている。電極 8 d にはソース電圧として電源電圧  $V_{DDH}$  が印加され、電極 8 e には基準電圧として電源電圧  $V_{SS}$  が印加される。この電源電圧  $V_{SS}$  は、例えば接地電圧で 0 V である。

#### 【0022】

図 2 では、ウェルバイアス電圧  $V_{BP}$  の給電用の電極 8 c を pMISQp1, Qp2 の隣接間に配置した場合を例示したが、これに限定されるものではなく、電極 8 c を pMISQp1, Qp2 の隣接間に配置せず、pMISQp1, Qp2 が隣接しない側、例えば図 2 で見て pMISQp1 の左脇側または pMISQp2 の右脇側等に配置しても良い。

#### 【0023】

(実施の形態 2)

本実施の形態 2 では、pMIS および nMIS を同一基板に設けている半導体装置において、異なる電源電圧で駆動する 2 種の pMIS、異なる電源電圧で駆動する 2 種の nMIS またはその両方を有する場合について説明する。

#### 【0024】

図 3 は、本発明者が検討した半導体装置の部分断面図の具体例を示している。図 3 には、異なる電源電圧で駆動する 2 種類の pMISQp50, Qp51 と、異なる電源電圧で駆動する 2 種類の nMISQn50, Qn51 とが同一の基板 50 の主面に配置されている場合が例示されている。一方の nMISQn50 の電極 51 e およびウェル給電電極 51 f には電源電圧  $V_{SS50}$  が供給され、他方の nMISQn51 の電極 51 g およびウェル給電電極 51 h には上記電源電圧  $V_{SS50}$  よりも低い基準の電源電圧  $V_{SSL50}$  が印加される。ここでは、pMISQp50, Qp51 と nMISQn50, Qn51 とが交互に配置されている。この場合、n ウェル

NWL50, NWL51と、p ウエルPWL50, PWL51とが交互に配置されるので、nMISQn50と、pMISQp51との間に幅広の分離部52を設けなくても良いように思える。しかし、実際には、p ウエルPWL50とp ウエルPWL51とがp 型の基板50を通じて電氣的に接続されラッチアップが生じる恐れがあるので、ラッチアップを抑制または防止するために、nMISQn50とpMISQp51との間に幅の広い分離部52を設ける必要がある。また、図4は、p ウエルPWL50, PWL51およびn ウエルNWL50, NWL51よりも深い位置にn 型の埋込n ウエルDNWL50を設ける場合を例示している。この場合は、n ウエルNWL50, NWL51は物理的には離れているものの埋込n ウエルDNWL50を通じて電氣的に接続されておりラッチアップが生じる恐れがあるので、ラッチアップを抑制または防止するために、nMISQn50とpMISQp51との間に幅の広い分離部52を設ける必要がある。したがって、図3や図4の場合も、チップサイズの増大を招くという問題がある。

#### 【0025】

そこで、本実施の形態2においては、異なる電源電圧（ソース電圧）で駆動するMISが物理的に離れていても、その各々のMISが配置されたウエル同士が基板または埋込ウエル等を通じて電氣的に接続されるような場合には、異なる電源電圧で駆動するMISが配置された各々のウエルに対して同一のウエルバイアス電圧を印加する。ウエルバイアス電圧の選択は前記実施の形態1と同様である。これにより、前記実施の形態1と同様に、ラッチアップを抑制または防止できるので、異なる電源電圧で駆動するMISの間の分離間隔を小さくすることができる。したがって、チップサイズを縮小させることが可能となる。

#### 【0026】

図5～図10は、本実施の形態2の半導体装置の要部断面図の具体例を示している。図5は、pMISQp1, Qp2とnMIS（第5、第6、第7電界効果トランジスタ）Qn1, Qn2とが基板1Sの主面に沿って交互に配置されている場合を例示している。基板1Sの主面側には、n ウエルNWL1, NWL2およびp ウエルPWL1, PWL2が基板1Sの主面に沿って交互に配置されている。n ウエルNWL1, NWL2の構成は前記n ウエルNWLと同様なので説明

を省略する。この  $n$  ウエル  $NWL\ 1$ ,  $NWL\ 2$  内には、それぞれ  $pMISQp\ 1$ ,  $Qp\ 2$  が配置されている。ここでは  $pMISQp\ 1$ ,  $Qp\ 2$  が同一の電源電圧（ソース電圧） $VDD$  で駆動する場合が例示されている。電極  $8a$ ,  $8e$  には、基準電圧として電源電圧  $VSS$  が印加される。電源電圧  $VSS$  は、接地電圧で、例えば  $0\ V$  である。電極  $8b$ ,  $8d$  には、ソース電圧として電源電圧  $VSS$  よりも高い電源電圧  $VDD$  が印加される。電極  $8c\ 1$ ,  $8c\ 2$  は、それぞれコンタクトホール  $9$ ,  $9$  を通じて  $n^+$  型の半導体領域  $10a\ 1$ ,  $10a\ 2$  と電氣的に接続され、これを通じてそれぞれ  $n$  ウエル  $NWL\ 1$ ,  $NWL\ 2$  と電氣的に接続されている。この電極  $8c\ 1$ ,  $8c\ 2$  にはウエルバイアス電圧  $VBP$  として電源電圧  $VDD$  が印加される。

#### 【0027】

一方、上記  $p$  ウエル  $PWL\ 1$ ,  $PWL\ 2$  は、例えばホウ素（ $B$ ）または二フッ化ホウ素（ $BF_2$ ）等のような不純物を基板  $1S$  の主面側に導入することで形成されている。この  $p$  ウエル  $PWL\ 1$ ,  $PWL\ 2$  内には、それぞれ  $nMISQn\ 1$ ,  $Qn\ 2$  が配置されている。 $nMISQn\ 1$  は、ソースおよびドレイン用の  $n^+$  型の半導体領域  $12a$  と、ゲート絶縁膜  $3$  と、ゲート電極  $4$  とを有している。また、 $nMISQn\ 2$  も、ソースおよびドレイン用の  $n^+$  型の半導体領域  $12b$  と、ゲート絶縁膜  $3$  と、ゲート電極  $4$  とを有している。上記半導体領域  $12a$ ,  $12b$  は、例えばリンまたはヒ素等のような不純物を基板  $1S$  の主面側から導入することで形成されている。ここでは  $nMISQn\ 1$ ,  $Qn\ 2$  が異なる電源電圧（ソース電圧） $VSS$ ,  $VSSL$  で駆動する場合が例示されている。 $nMISQn\ 1$  の電極  $8f$  には、ソース電圧として電源電圧  $VSS$  が印加される。電源電圧  $VSS$  は、接地電圧で、例えば  $0\ V$  である。 $nMISQn\ 2$  の電極  $8i$  には、ソース電圧として電源電圧  $VSS$  より低い負の電源電圧  $VSSL$  が印加される。電源電圧  $VSSL$  は、絶対値でみると電源電圧  $VSS$  よりも高い。電極  $8h\ 1$ ,  $8h\ 2$  は、それぞれコンタクトホール  $9$ ,  $9$  を通じて  $p^+$  型の半導体領域  $13a\ 1$ ,  $13a\ 2$  と電氣的に接続され、これを通じてそれぞれ  $p$  ウエル  $PWL\ 1$ ,  $PWL\ 2$  と電氣的に接続されている。 $p$  ウエル  $PWL\ 1$ ,  $PWL\ 2$  は物理的には離れているが  $p$  型の基板  $1S$  を通じて電氣的に接続されているので、 $p$  ウエル  $PWL\ 1$



、PWL 2 に異なるウエルバイアス電圧を印加するとラッチアップが生じる恐れがあり、図 3 に示したように、p ウエルPWL 1、PWL 2 の間に幅広の分離部を配置する必要性が生じ、チップサイズの増大を招く。そこで、本実施の形態 2 では、電極 8 h 1、8 h 2 にウエルバイアス電圧 VBN として同一の電源電圧（ソース電圧）VSSL を印加する。これにより、ラッチアップを抑制または防止できるので、p ウエルPWL 1、PWL 2 の間の分離部 5 の幅を小さくすることができる。このため、ウエル給電領域を含む pMISQp 1、Qp 2 および nMISQn 1、Qn 2 全体の占有面積を図 3 よりも小さくすることができる。したがって、チップサイズを図 3 よりも縮小させることが可能となる。ただし、この場合も、電源電圧 VSS で駆動する nMISQn 1 のウエルバイアス電圧 VBN を電源電圧 VSSL にしたことにより、nMISQn 1 側で基板バイアス効果が生じ、nMISQn 1 のしきい値電圧が増加する結果、nMISQn 1 の動作速度が遅くなってしまう。そこで、本実施の形態 2 では、nMISQn 1 のしきい値電圧を、ウエルバイアス電圧 VBN として電源電圧 VSS を印加する場合の nMISQn 1 のしきい値電圧よりも低くする。このようなしきい値電圧の調整は、前記実施の形態 1 で説明したのと同じである。この結果、nMISQn 1 にはしきい値電圧が相対的に低い nMIS が使用され、nMISQn 2 にはしきい値電圧が相対的に高い nMIS が使用される。

#### 【0028】

次に、図 6 は、pMISQp 1、Qp 2 が隣接して配置されている場合を例示している。ここでは、pMISQp 1、Qp 2 の n ウエル NWL が共通になっており、その n ウエル NWL の両側に nMISQn 1、Qn 2 の p ウエルPWL 1、PWL 2 が配置されている。この場合、p ウエルPWL 1、PWL 2 の間に、n ウエル NWL が配置されているので図 5 の場合よりも p ウエルPWL 1、PWL 2 の間隔が大きい。図 5 の場合と同様に、ラッチアップを抑制または防止する観点から p ウエルPWL 1、PWL 2 にウエルバイアス電圧 VBN として同一の電源電圧（ソース電圧）VSSL を印加する。これにより、ラッチアップを抑制または防止できるので、p ウエルPWL 1、PWL 2 の間の分離部 5 の幅を小さくすることができる。このため、ウエル給電領域を含む pMISQp 1、Qp

2 および  $nMISQ_{n1}$ ,  $Q_{n2}$  全体の占有面積を図3よりも小さくできるので、チップサイズを図3よりも縮小させることが可能となる。また、図6では、 $pMISQ_{p1}$  が電源電圧  $V_{DD}$  で駆動し、 $pMISQ_{p2}$  が電源電圧  $V_{DD}$  またはそれより高い電源電圧  $V_{DDH}$  で駆動する場合が例示されている。共通の  $n$  ウエル  $NWL$  には、 $pMISQ_{p2}$  のソース電圧が電源電圧  $V_{DD}$  ならばウエルバイアス電圧  $V_{BP}$  として電源電圧  $V_{DD}$  を電極 8c および  $n^+$  型の半導体領域 10a を通じて印加し、 $pMISQ_{p2}$  のソース電圧が電源電圧  $V_{DDH}$  ならばウエルバイアス電圧  $V_{BP}$  として電源電圧  $V_{DD}$  よりも高い電源電圧  $V_{DDH}$  を電極 8c および  $n^+$  型の半導体領域 10a を通じて印加する。上記図5の場合は  $pMISQ_{p1}$ ,  $Q_{p2}$  毎にウエル給電領域を設けているのに対して、図6では  $pMISQ_{p1}$ ,  $Q_{p2}$  のウエル給電領域が共通になっている。これにより、図6の場合、ウエル給電領域を含む  $pMISQ_{p1}$ ,  $Q_{p2}$  および  $nMISQ_{n1}$ ,  $Q_{n2}$  全体の占有面積を図5の場合よりもさらに小さくすることができるので、チップサイズを図5よりもさらに縮小させることが可能となる。

#### 【0029】

次に、図7は、 $pMISQ_{p1}$ ,  $Q_{p2}$  同士および  $nMISQ_{n1}$ ,  $Q_{n2}$  同士が互いに隣接して配置されている場合を例示している。図6と異なるのは、 $nMISQ_{n1}$ ,  $Q_{n2}$  の  $p$  ウエル  $PWL$  も共通になっていることである。共通の  $p$  ウエル  $PWL$  には、ウエルバイアス電圧  $V_{BN}$  として同一の電源電圧  $V_{SSL}$  が電極 8h および  $p^+$  型の半導体領域 13a を通じて印加される。図7では、 $nMISQ_{n1}$ ,  $Q_{n2}$  の  $p$  ウエル  $PWL$  が共通になっているので、 $p$  ウエル  $PWL$  へのウエル給電領域も共通となっている。これにより、図7の場合、ウエル給電領域を含む  $pMISQ_{p1}$ ,  $Q_{p2}$  および  $nMISQ_{n1}$ ,  $Q_{n2}$  全体の占有面積を図6の場合よりもさらに小さくすることができるので、チップサイズを図6よりもさらに縮小させることが可能となる。

#### 【0030】

次に、図8～図10は、 $p$  型の基板 1S に  $n$  型の埋込ウエル  $DNWL$  を設けた場合の具体例を示している。図8は、上記図5と同様に、 $pMISQ_{p1}$ ,  $Q_{p2}$  と  $nMISQ_{n1}$ ,  $Q_{n2}$  とが基板 1S の主面に沿って交互に配置されている

場合を例示している。各 n ウェル NWL 1, NWL 2 および p ウェル PWL 1, PWL 2 は、埋込 n ウェル DNWL に内包されるように設けられ、この埋込 n ウェル DNWL により p 型の基板 1 S から電氣的に分離されている。また、ここでは pMISQp 1, Qp 2 が異なる電源電圧 (ソース電圧) VDD, VDDH で駆動する場合が例示されている。電極 8 a, 8 e には、基準電圧として電源電圧 VSS が印加される。電源電圧 VSS は、接地電圧で、例えば 0 V である。電極 8 b にはソース電圧として電源電圧 VSS よりも高い電源電圧 VDD が印加され、電極 8 d にはソース電圧として電源電圧 VDD より高い電源電圧 VDDH が印加される。また、この構成の場合、n ウェル NWL 1, NWL 2 は物理的には離れているが n 型の埋込ウェル DNWL を通じて電氣的に接続されているので、ラッチアップを抑制または防止する観点から、電極 8 c 1, 8 c 2 を通じて n ウェル NWL 1, NWL 2 にウェルバイアス電圧 VBP として同一の電源電圧 VDDH を印加する。これにより、ラッチアップを抑制または防止できるので、n ウェル NWL 1, NWL 2 の間の分離部 5 の幅を小さくすることができる。このため、ウェル給電領域を含む pMISQp 1, Qp 2 および nMISQn 1, Qn 2 全体の占有面積を図 4 よりも小さくできるので、チップサイズを図 4 よりも縮小させることが可能となる。また、ここでは nMISQn 1, Qn 2 が同一の電源電圧 (ソース電圧) VSS で駆動する場合が例示されている。nMISQn 1, Qn 2 の電極 8 f, 8 i には、ソース電圧として電源電圧 VSS が印加される。電源電圧 VSS は、接地電圧で、例えば 0 V である。電極 8 h 1, 8 h 2 には、ウェルバイアス電圧 VBN として電源電圧 VSS が印加される。

### 【0031】

次に、図 9 は、nMISQn 1, Qn 2 が隣接して配置されている場合を例示している。ここでは、nMISQn 1, Qn 2 の p ウェル PWL が共通になっており、その p ウェル PWL の両側に pMISQp 1, Qp 2 の n ウェル NWL 1, NWL 2 が配置されている。この場合、n ウェル NWL 1, NWL 2 の間に、p ウェル PWL が配置されているので図 8 の場合よりも n ウェル NWL 1, NWL 2 の間隔が大きい。図 8 の場合と同様に、ラッチアップを抑制または防止する観点から n ウェル NWL 1, NWL 2 にウェルバイアス電圧 VBP として同一

の電源電圧（ソース電圧） $V_{DDH}$ を印加する。これにより、ラッチアップを抑制または防止できるので、 $n$ ウエル $NWL1$ 、 $NWL2$ の間の分離部5の幅を小さくすることができる。このため、ウエル給電領域を含む $pMISQp1$ 、 $Qp2$ および $nMISQn1$ 、 $Qn2$ 全体の占有面積を図4よりも小さくできるので、チップサイズを図4よりも縮小させることが可能となる。また、図9では、 $nMISQn1$ が電源電圧 $V_{SS}$ で駆動し、 $nMISQn2$ が電源電圧 $V_{SS}$ またはそれより低い電源電圧 $V_{SSL}$ で駆動する場合が例示されている。共通の $p$ ウエル $PWL$ には、 $nMISQn2$ のソース電圧が電源電圧 $V_{SS}$ ならばウエルバイアス電圧 $V_{BN}$ として電源電圧 $V_{SS}$ を電極8cおよび $p^+$ 型の半導体領域13aを通じて印加し、 $nMISQn2$ のソース電圧が電源電圧 $V_{SSL}$ ならばウエルバイアス電圧 $V_{BN}$ として電源電圧 $V_{SS}$ よりも絶対値で高い電源電圧 $V_{SSL}$ を電極8cおよび $p^+$ 型の半導体領域13aを通じて印加する。上記図8の場合は $nMISQn1$ 、 $Qn2$ 毎にウエル給電領域を設けているのに対して、図9では $nMISQn1$ 、 $Qn2$ のウエル給電領域が共通になっている。これにより、図9の場合、ウエル給電領域を含む $pMISQp1$ 、 $Qp2$ および $nMISQn1$ 、 $Qn2$ 全体の占有面積を図8の場合よりもさらに小さくすることができるので、チップサイズを図8よりもさらに縮小させることが可能となる。

#### 【0032】

次に、図10は、 $pMISQp1$ 、 $Qp2$ 同士および $nMISQn1$ 、 $Qn2$ 同士が互いに隣接して配置されている場合を例示している。図9と異なるのは、 $pMISQp1$ 、 $Qp2$ の $n$ ウエル $NWL$ も共通になっていることである。共通の $n$ ウエル $NWL$ には、ウエルバイアス電圧 $V_{BP}$ として同一の電源電圧 $V_{DDH}$ が電極8cおよび $n^+$ 型の半導体領域10aを通じて印加される。図10では、 $pMISQp1$ 、 $Qp2$ の $n$ ウエル $NWL$ が共通になっているので、 $n$ ウエル $NWL$ へのウエル給電領域も共通となっている。これにより、図10の場合、ウエル給電領域を含む $pMISQp1$ 、 $Qp2$ および $nMISQn1$ 、 $Qn2$ 全体の占有面積を図9の場合よりもさらに小さくすることができるので、チップサイズを図9よりもさらに縮小させることが可能となる。

#### 【0033】

## (実施の形態3)

本実施の形態3においては、SRAM (Static Random Access Memory) に適用した場合について説明する。

## 【0034】

図11および図12は、半導体チップの一部に配置されるSRAMマクロM1の平面図の一例を示している。符号のMCAはメモリセルアレイ（斜線で示した領域）、WDはワードドライバ回路領域、DECはデコーダ回路領域、SA/WAはセンスアンプ／ライトアンプ回路領域である。斜線を示した領域には、相対的に高い電源電圧VDDHで駆動するpMISが配置され、斜線を示していない領域には、相対的に低い電源電圧VDDで駆動するpMISが配置されている。

## 【0035】

本実施の形態3では、SRAMマクロM1のソース電圧が電源電圧VDD、VDDH ( $VDDH > VDD$ ) となるpMISのウエルバイアス電圧を、前記実施の形態1, 2で説明したように共に電源電圧VDDHにする。半導体チップのSRAMマクロM1以外の領域では、pMISのソース電圧を電源電圧VDD、pMISのウエルバイアス電圧を電源電圧VDDとする。図11ではSRAMマクロM1の全体を分離部5Lで取り囲むような構成にした場合を例示し、図12ではSRAMマクロM1のメモリセルアレイMCAおよびワードドライバ回路領域を分離部5Lで取り囲み、その他のデコーダ回路領域DECおよびセンスアンプ／ライトアンプ回路領域は分離部5の外に配置するような構成にした場合を例示している。比較のため図13に一般的なSRAMマクロM50の平面図を示す。図11および図12に示した例によれば、図13のメモリセルアレイMCAの隣接間の分離部52の面積分を削除できるので、SRAMマクロM1の占有面積を縮小させることができる。したがって、チップサイズを縮小させることが可能となる。また、本実施の形態3によれば、半導体チップのSRAMマクロM1以外の領域は、pMISのソース電圧を電源電圧VDD、pMISのウエルバイアス電圧を電源電圧VDDHにすることにより、図11および図12に示した分離部5をも無くすようにすることができるので、さらにSRAMマクロM1の占有面積を縮小させることができ、チップサイズをさらに縮小させることが可能となる。

## 【0036】

次に、図14は、上記メモリセルアレイMCAを複数並べたSRAMマクロM2を例示している。また、図15は、比較のためメモリセルアレイMCAを複数並べた一般的なSRAMマクロM51の平面図を示している。図14および図15には、双方のSRAMマクロM2、M51の大きさを比較できるようにX、Y軸を示した。斜線を示した領域には、相対的に高い電源電圧で駆動するpMISが配置されている。ここでは、斜線を示した領域にメモリセルアレイMCAと、高い電源電圧VDDHで駆動するpMISを有するワードドライバ回路とが配置されている場合が例示されている。斜線を示していない領域には、相対的に低い電源電圧VDDで駆動するpMISが配置されている。この場合もSRAMマクロM2のソース電圧が電源電圧VDD、VDDH ( $VDDH > VDD$ ) となるpMISのウエルバイアス電圧を、前記実施の形態1、2で説明したように共に電源電圧VDDHにする。半導体チップのSRAMマクロM2以外の領域では、pMISのソース電圧を電源電圧VDD、pMISのウエルバイアス電圧を電源電圧VDDとする。図14および図15を比較すると分かるように、図14に示した例によれば、図15のメモリセルアレイMCAの上下左右の隣接間の分離部52の面積分を削除できるので、SRAMマクロM2の占有面積を縮小させることができ、チップサイズを縮小させることが可能となる。このようにSRAMマクロの占有面積縮小の効果はメモリセルアレイの数の増加によって顕著になる。SRAMマクロのメモリ容量は増大する傾向にあることから本実施の形態3の構成は、チップサイズの縮小を図る上で有効な構成である。

## 【0037】

図16は上記図11、図12および図14のメモリセルアレイMCAの回路図の一例を示し、図17は図16のメモリセルアレイMCAのメモリセルMCを拡大して示している。メモリセルアレイMCAには、図16および図17の左右方向に延在する複数のワード線WL0~WLnおよびセル給電線PL0~PLnと、これに対して交差するように延在する複数のビット線BL0、/BL0~BLm、/BLmと、ワード線WL0~WLnおよびセル給電線PL0~PLnとビット線BL0、/BL0~BLm、/BLmとの交点近傍に配置されたメモリセ

ルMCとが配置されている。ワード線WL0～WL<sub>n</sub>は、上記ワードドライバ回路や上記デコード回路のXデコード回路と電氣的に接続されている。ビット線BL0、／BL0～BL<sub>m</sub>、／BL<sub>m</sub>は、上記デコード回路のYデコード回路や上記センスアンプ回路と電氣的に接続されている。メモリセルMCは、2つの駆動用のnMISQ<sub>nd</sub>と、2つの転送用のnMISQ<sub>nt</sub>と、2つの負荷用のpMISQ<sub>pl</sub>とを有する、いわゆる6個のMISを持つCMIS (Complementary MIS) 型のSRAMセルが例示されている。各メモリセルMCのpMISQ<sub>pl</sub>には、ソース電圧として電源電圧VDDHがセル給電線PL0～PL<sub>n</sub>を通じて供給される。断面構造は前記実施の形態2の図8～図10で説明したように、n型の埋込ウエルDNWLを持つ構成が好ましい。これにより、α線耐性を向上させることができるので、α線によるメモリセルMCのソフトエラーを抑制または防止することができるからである。特に限定されるものではないが、電源電圧VSSは、例えば接地電圧で0V、電源電圧VSSLは、例えば-0.4V程度、電源電圧VDDは、例えば0.8V程度、電源電圧VDDHは、例えば1.2V程度である。

#### 【0038】

##### (実施の形態4)

本実施の形態4では、前記本実施の形態のウエル給電共通方式と、ウエル給電分離方式とが同一の基板で混在する場合について説明する。

#### 【0039】

図18は、本実施の形態4の基本構成を示す半導体装置の要部断面図の一例である。基板1Sの主面には、例えば4つのpMISQ<sub>p1</sub>～Q<sub>p4</sub>が示されている。pMISQ<sub>p1</sub>、Q<sub>p3</sub>は電源電圧（ソース電圧）VDDで駆動し、pMISQ<sub>p2</sub>、Q<sub>p4</sub>は電源電圧（ソース電圧）VDDHで駆動する。このように異なる電源電圧VDD、VDDHで駆動するpMISQ<sub>p1</sub>、Q<sub>p2</sub>のnウエルNWLは前記実施の形態1～3で説明したように共通になっており、このnウエルNWLにはウエルバイアス電圧VBPとして共通の電源電圧VDDHが印加される。

#### 【0040】

一方、pMIS（第3、第8電界効果トランジスタ）Qp3は、ソースおよびドレイン用のp+型の半導体領域2cと、ゲート絶縁膜3と、ゲート電極4とを有している。電極8kは、コンタクトホール9、9を通じてp+型の半導体領域2cの一方と、ウエル給電用のn+型の半導体領域10bと電氣的に接続されている。電極8kには、電源電圧VDDが印加される。すなわち、pMISQp3は、電源電圧（ソース電圧）VDDで駆動し、pMISQp3のnウエルNWL3にはウエルバイアス電圧として電源電圧VDDが印加されるようになっている。電極8mには、基準電圧として電源電圧VSSが印加される。電極8k、8mの構成は前記電極8a等と同じである。また、pMIS（第4、第9電界効果トランジスタ）Qp4は、ソースおよびドレイン用のp+型の半導体領域2dと、ゲート絶縁膜3と、ゲート電極4とを有している。電極8nは、コンタクトホール9、9を通じてp+型の半導体領域2dの一方と、ウエル給電用のn+型の半導体領域10cと電氣的に接続されている。電極8nには、電源電圧VDDH（>電源電圧VDD）が印加される。すなわち、pMISQp4は、電源電圧（ソース電圧）VDDHで駆動し、pMISQp4のnウエルNWL4にはウエルバイアス電圧として電源電圧VDDHが印加されるようになっている。電極8pには、基準電圧として電源電圧VSSが印加される。電極8n、8pの構成は前記電極8a等と同じである。このような異なる電源電圧VDD、VDDHで駆動するpMISQp3、Qp4のnウエルNWL3、NWL4の間には、通常通りラッチアップを抑制または防止する観点等から幅の広い分離部5Lが配置され、その各々のnウエルNWL3、NWL4は他のnウエルから独立した状態で配置されている。また、図19は、図18にn型の埋込ウエルDNWL、DNWL1、DNWL2を設けた構造を例示している。図18と同様にpMISQp1、Qp2のnウエルNWLはウエル給電共通となっており、pMISQp3、Qp4のnウエルNWL3、NWL4はウエル給電分離となっている。各電極8a～8e、8k、8m、8n、8pへの電圧の印加の仕方も図18と同じである。

#### 【0041】

次に、例えばSOC（System On a Chip）構成を有する半導体装置に本実施の形態4の構成を適用した場合について説明する。図20はその半導体装置の半導



体チップ1Cの平面図、図21は図20の半導体装置の要部断面図を示している。

#### 【0042】

半導体チップ1Cの主面には、例えば3つのSRAMマクロM3と、論理回路LCと、アナログ回路ACと、電源回路PCと、入出力回路I/Oと、複数のボンディングパッド（以下、単にパッドという）BPと、配線15a, 15bとが示されている。特に限定されるものではないが、電源電圧VSSは、例えば接地電圧で0V、電源電圧VDDは、例えば0.8V程度、電源電圧VDDHは、例えば1.2V程度である。

#### 【0043】

SRAMマクロM3は、前記したのと同様にメモリセルアレイMCAと周辺回路Pとを有している。メモリセルアレイMCAのpMISQp2は電源電圧VDDHをソース電圧として駆動し、周辺回路PのpMISQp1は電源電圧VDDをソース電圧として駆動するが、これらpMISQp1, Qp2のnウエルNW L1, NWL2にはウエルバイアス電圧として同一の電源電圧VDDHを供給する（ウエル給電共通方式）。これにより、異なる電源電圧で駆動するpMISQp1, Qp2間の分離部5の幅を狭めることができるので、SRAMマクロM3の占有面積を縮小できる。したがって、半導体チップ1Cの平面積を縮小させることができる。SRAMマクロM3のpMISQp1, Qp2のしきい値電圧の調整については前記実施の形態1で説明したのと同じである。

#### 【0044】

その他の論理回路LC、アナログ回路AC、電源回路PC、入出力回路I/O等では、異なる電源電圧（ソース電圧）で駆動するMISのウエルを幅広の分離部5Lで分離し、それぞれ別々のウエルバイアス電圧を供給している（ウエル給電分離方式）。

#### 【0045】

上記論理回路LCのpMISQp3のソース電圧およびウエルバイアス電圧は、例えば電源電圧VDDである。アナログ回路ACのpMISQp4のソース電圧およびウエルバイアス電圧は、例えば電源電圧VDDHである。論理回路LC

とアナログ回路ACとではpMISQp3, Qp4のソース電圧が異なるので、例えばアナログ回路ACの周囲を幅広の分離部5Lで取り囲み、アナログ回路ACのnウエルNWL4と論理回路LCのnウエルNWL3とを分離している。

#### 【0046】

上記電源回路PCは、例えば降圧回路を示している。電源回路PCの領域PC1のpMISQp3のソース電圧およびウエルバイアス電圧は電源電圧VDDであり、領域PC2のpMISQp4のソース電圧およびウエルバイアス電圧は電源電圧VDDより高い電源電圧VDDHである。領域PC1, PC2は同じ電源回路PCを形成する素子領域であるが、pMISQp3, Qp4のソース電圧が異なるので、領域PC2の周囲を幅広の分離部5Lで取り囲み、領域PC1, PC2のnウエルNWL3, NWL4間を分離している。領域PC1のpMISと論理回路LCのpMISとはソース電圧およびウエルバイアス電圧が同一なので、それらの間には幅広の分離部5Lを設けず、幅の狭い分離部5を設けるようにしている。ここでは、電源回路PCとして、例えば降圧回路を示しているが、昇圧回路の場合も同様である。

#### 【0047】

上記入出力回路I/Oとしては、入力回路、出力回路および入出力双方向回路がある。入出力回路I/Oの領域I/O1のpMISQp3のソース電圧およびウエルバイアス電圧は電源電圧VDDであり、領域I/O2のpMISQp4のソース電圧およびウエルバイアス電圧は電源電圧VDDより高い電源電圧VDDHである。領域I/O1, I/O2は同じ入出力回路I/Oを形成する素子領域であるが、pMISQp3, Qp4のソース電圧が異なるので、領域I/O2の周囲を幅広の分離部5Lで取り囲み、領域I/O1, I/O2のnウエルNWL3, NWL4間を分離している。領域I/O1のpMISQp3と電源回路PCの領域PC1や論理回路LCのpMISQp3とはソース電圧およびウエルバイアス電圧が同一なので、それらの間には幅広の分離部5Lを設けず、幅の狭い分離部5を設けるようにしている。

#### 【0048】

上記パッドBPは、これを通じて半導体チップ1C内の回路と、外部の装置と

を繋ぐ接続部分である。各パッドBPにはボンディングワイヤまたはバンプ電極が接合される。パッドBPのうち、パッドBPHには電源電圧VDDHが供給される。このパッドBPHに供給された電源電圧VDDHは、配線15a（実線）を通じて上記各回路に供給されるようになっている。その配線15aを通じて電源回路PCに供給された電源電圧VDDHは、電源回路PCで電源電圧VDDに降圧される。そして、この電源回路PCで生成された電源電圧VDDは、配線15b（破線）を通じて上記各回路に供給されるようになっている。パッドBPSは、信号用のパッドを示している。

#### 【0049】

上記論理回路LC、電源回路PCの領域PC1および入出力回路I/Oの領域I/O1のnMISQn3は、ソースおよびドレイン用のn+型の半導体領域12cと、ゲート絶縁膜3と、ゲート電極4とを有している。また、上記アナログ回路AC、電源回路PCの領域PC2および入出力回路I/Oの領域I/O2のnMISQn4は、ソースおよびドレイン用のn+型の半導体領域12dと、ゲート絶縁膜3と、ゲート電極4とを有している。このnMISQn3、Qn4のソース電圧およびウエルバイアス電圧は、電源電圧VSSとなっている。すなわち、nMISQn3の一方の半導体領域12cには電極8qを通じて電源電圧VSSが供給される。また、pウエルPWL3には、電極8sおよびp+型の半導体領域13bを通じて電源電圧VSSが供給される。一方、nMISQn4の一方の半導体領域12dには電極8tを通じて電源電圧VSSが供給される。また、pウエルPWL4には、電極8vおよびp+型の半導体領域13cを通じて電源電圧VSSが供給される。本実施の形態4ではp型の基板1Sの主面のpMISQp1～Qp4およびnMISQn1～Qn4のゲート絶縁膜3が同工程時に熱酸化法等によって形成されており、これらpMISQp1～Qp4およびnMISQn1～Qn4のゲート絶縁膜3の厚さが等しくなっている。なお、電極8r～8vの構成は、前記電極8aと同じである。

#### 【0050】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない

範囲で種々変更可能であることはいうまでもない。

#### 【0051】

例えば前記実施の形態 1～4 では p 型の基板を用いた場合について説明したが、これに限定されるものではなく n 型の基板を用いても良い。この場合、各ウエルへの電圧の印加の仕方は、図 8～図 10 で説明したのと同じになる。また、n 型の基板に深い p 型の埋込ウエルを設け、その埋込ウエル領域内に各ウエルを設けるようにしても良い。この場合、各ウエルへの電圧の印加の仕方は、図 5～図 7 で説明したのと同じになる。

#### 【0052】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である S R A M を有する半導体装置に適用した場合について説明したが、それに限定されるものではなく、例えば D R A M (Dynamic Random Access Memory)、またはフラッシュメモリ (E E P R O M ; Electric Erasable Programmable Read Only Memory) 等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置あるいは上記メモリ回路と論理回路とを同一半導体基板に設けている混載型の半導体装置にも適用できる。

#### 【0053】

##### 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

#### 【0054】

すなわち、第 1 電源電圧で駆動する電界効果トランジスタと、前記第 1 電源電圧よりも絶対値で高い第 2 電源電圧で駆動する電界効果トランジスタとを同一の半導体基板の同一の第 1 ウエルに設け、前記第 1 ウエルに前記第 2 電源電圧を供給することにより、異なる電源電圧で駆動する上記電界効果トランジスタ間の分離部の面積を大幅に縮小させることができるので、半導体装置のチップサイズを縮小させることが可能となる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明者が検討した半導体装置の一例の部分断面図である。

【図 2】

本発明の一実施の形態である半導体装置の一例の要部断面図である。

【図 3】

本発明者が検討した半導体装置の他の例の部分断面図である。

【図 4】

本発明者が検討した半導体装置のさらに他の例の部分断面図である。

【図 5】

本発明の他の実施の形態である半導体装置の一例の要部断面図である。

【図 6】

本発明の他の実施の形態である半導体装置の他の例の要部断面図である。

【図 7】

本発明の他の実施の形態である半導体装置の他の例の要部断面図である。

【図 8】

本発明の他の実施の形態である半導体装置の他の例の要部断面図である。

【図 9】

本発明の他の実施の形態である半導体装置の他の例の要部断面図である。

【図 1 0】

本発明の他の実施の形態である半導体装置のさらに他の例の要部断面図である。  
。

【図 1 1】

本発明の他の実施の形態である半導体装置の半導体チップの一部に配置される  
S R A Mマクロの一例の平面図である。

【図 1 2】

本発明の他の実施の形態である半導体装置の半導体チップの一部に配置される  
S R A Mマクロの他の一例の平面図である。

【図 1 3】

一般的な S R A Mマクロの平面図である。

【図 1 4】

本発明の他の実施の形態である半導体装置の半導体チップの一部に配置される S R A M マクロのさらに他の一例の平面図である。

【図 1 5】

メモリセルアレイを複数並べた一般的な S R A M マクロの平面図である。

【図 1 6】

図 1 1、図 1 2 および図 1 4 のメモリセルアレイの一例の回路図である。

【図 1 7】

図 1 6 のメモリセルアレイのメモリセルを拡大して示した回路図である。

【図 1 8】

本発明の他の実施の形態である半導体装置の一例の要部断面図である。

【図 1 9】

図 1 8 に n 型の埋込ウエルを設けた構造の一例の要部断面図である。

【図 2 0】

本発明の他の実施の形態である半導体装置の半導体チップの平面図である。

【図 2 1】

図 2 0 の半導体装置の要部断面図である。

【符号の説明】

- 1 S 半導体基板
- 2 a, 2 b 半導体領域
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 分離部
- 5 L 分離部
- 7 a 絶縁膜
- 8 a ~ 8 k, 8 m, 8 n, 8 p ~ 8 v 電極
- 9 コンタクトホール
- 1 0 a, 1 0 a 1, 1 0 a 2, 1 0 b, 1 0 c 半導体領域
- 1 2 a, 1 2 b 半導体領域
- 1 3 a, 1 3 a 1, 1 3 a 2 半導体領域

1 5 a, 1 5 b 配線

5 0 半導体基板

5 1 a, 5 1 c 電極

5 1 b, 5 1 d ウエル給電電極

5 2 分離部

V D D 電源電圧 (第 1 電源電圧)

V D D H 電源電圧 (第 2 電源電圧)

V S S 電源電圧 (第 1 電源電圧)

V S S L 電源電圧 (第 2 電源電圧)

V B P, V B N ウエルバイアス電圧

Q p 1 M I S ・ F E T (第 1 電界効果トランジスタ)

Q p 2 M I S ・ F E T (第 2 電界効果トランジスタ)

Q p 3 M I S ・ F E T (第 3、第 8 電界効果トランジスタ)

Q p 4 M I S ・ F E T (第 4、第 9 電界効果トランジスタ)

Q n 1, Q n 2 M I S ・ F E T (第 5、第 6、第 7 電界効果トランジスタ)

D N W L 埋込ウエル (第 1 埋込ウエル)

D N W L 1 埋込ウエル (第 2 埋込ウエル)

D N W L 2 埋込ウエル (第 3 埋込ウエル)

N W L n ウエル (第 1 ウエル)

N W L 1 n ウエル (第 5 ウエル)

N W L 2 n ウエル (第 6 ウエル)

N W L 3 n ウエル (第 2、第 9 ウエル)

N W L 4 n ウエル (第 3、第 1 0 ウエル)

P W L p ウエル (第 4、第 1 1 ウエル)

P W L 1 p ウエル (第 4、第 7 ウエル)

P W L 2 p ウエル (第 4、第 8 ウエル)

M 1, M 2, M 3 S R A M マクロ

M C A メモリセルアレイ

W D ワードドライバ回路領域

DEC デコーダ回路領域

SA/WA センスアンプ／ライトアンプ回路領域

WL 0 ～ WL n ワード線

PL 0 ～ PL n セル給電線

BL 0, /BL 0 ～ BL m, /BL m ビット線

MC メモリセル

Q n d nチャネル型のMIS・FET

Q n t nチャネル型のMIS・FET

Q p l pチャネル型のMIS・FET

LC 論理回路

AC アナログ回路

PC 電源回路

PC 1, PC 2 領域

I/O 入出力回路

I/O 1, I/O 2 領域

BP, BPH, BPS ボンディングパッド

Q p 50, Q p 51 pチャネル型のMIS・FET

Q n 50, Q n 51 nチャネル型のMIS・FET

VDD50, VDDH50 電源電圧

VSS50, VSSL50 電源電圧

NWL50, NWL51 nウエル

PWL50, PWL51 pウエル

DNWL50 埋込ウエル

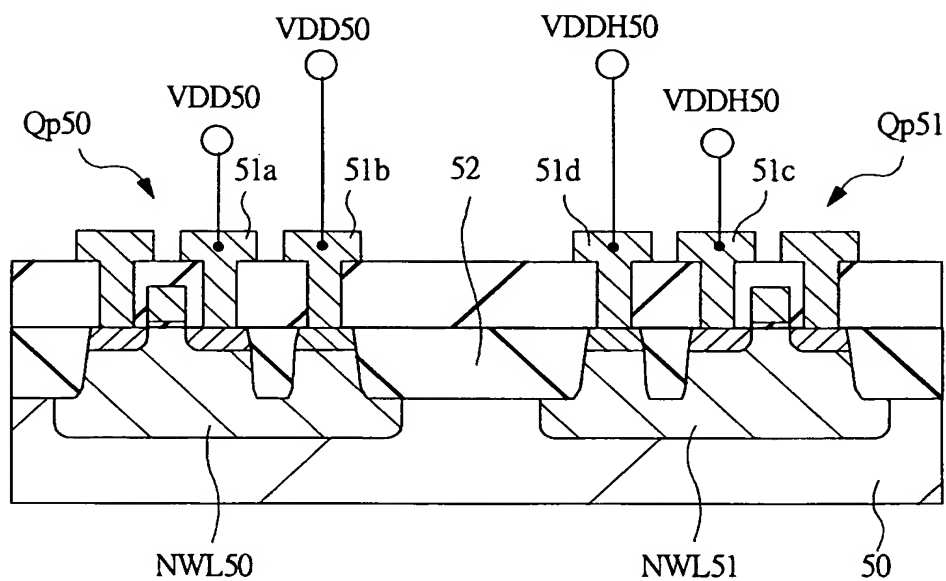
M50, M51 SRAMマクロ



【書類名】 図面

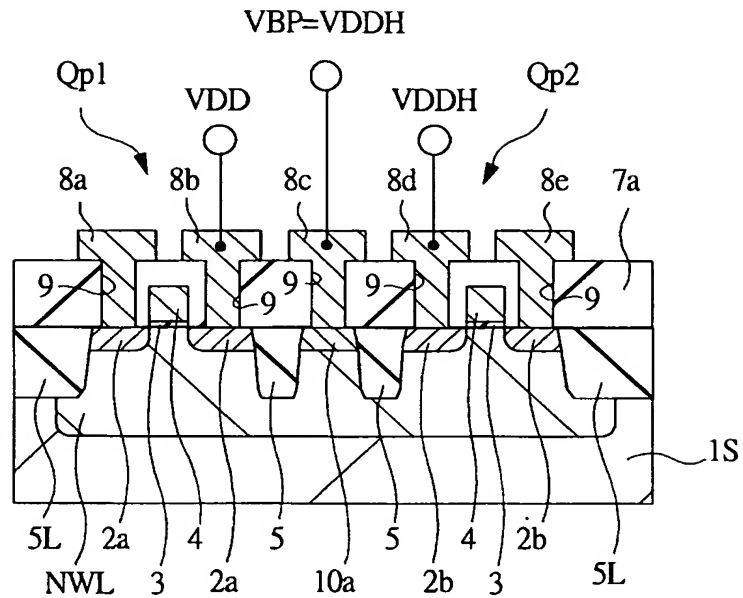
【図 1】

**图 1**



【図 2】

図 2

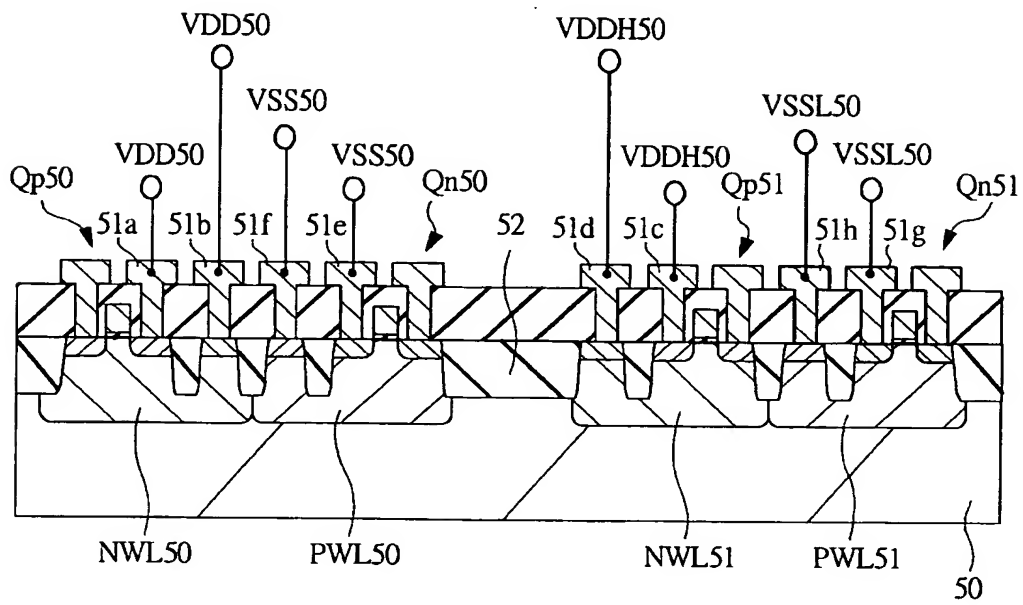


1S: 半導体基板  
 3: ゲート絶縁膜  
 5: 分離部(第1分離部)  
 5L: 分離部(第2分離部)

Qp1: pチャネル型のMIS・FET  
 Qp2: pチャネル型のMIS・FET  
 VDD: 電源電圧(第1電源電圧)  
 VDDH: 電源電圧(第2電源電圧)

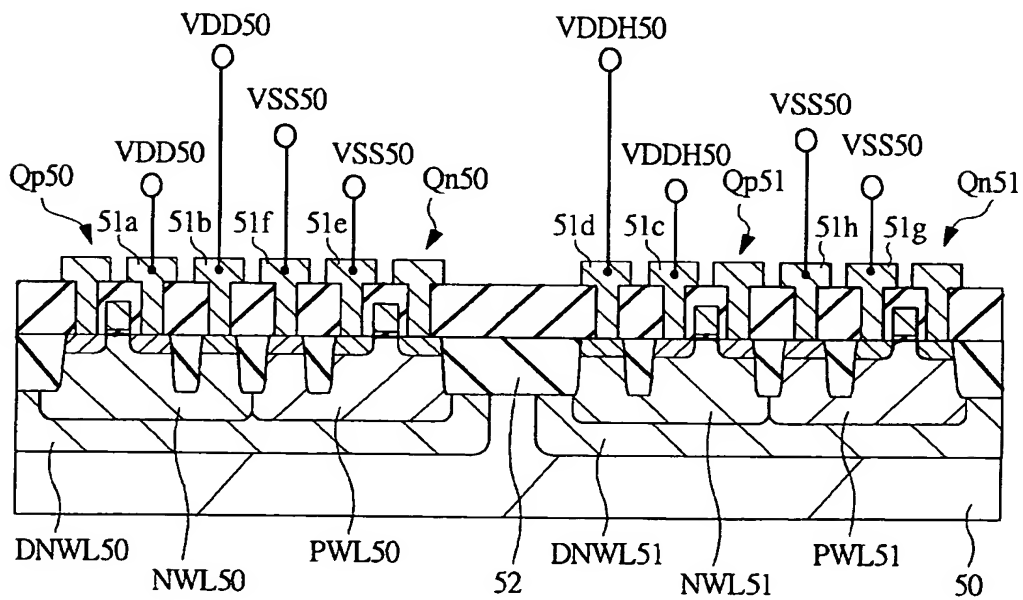
【図 3】

図 3



【図 4】

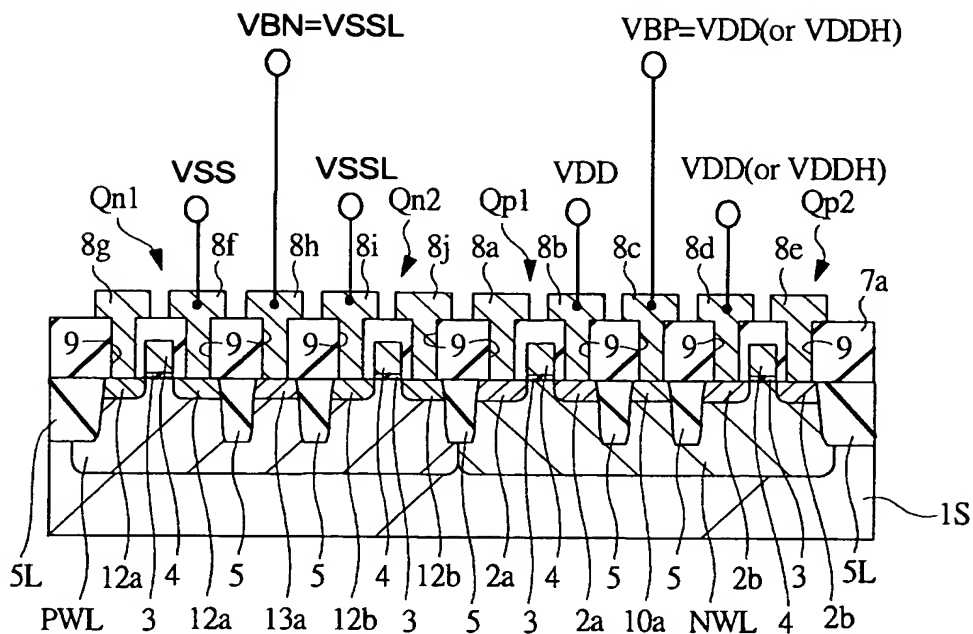
図 4



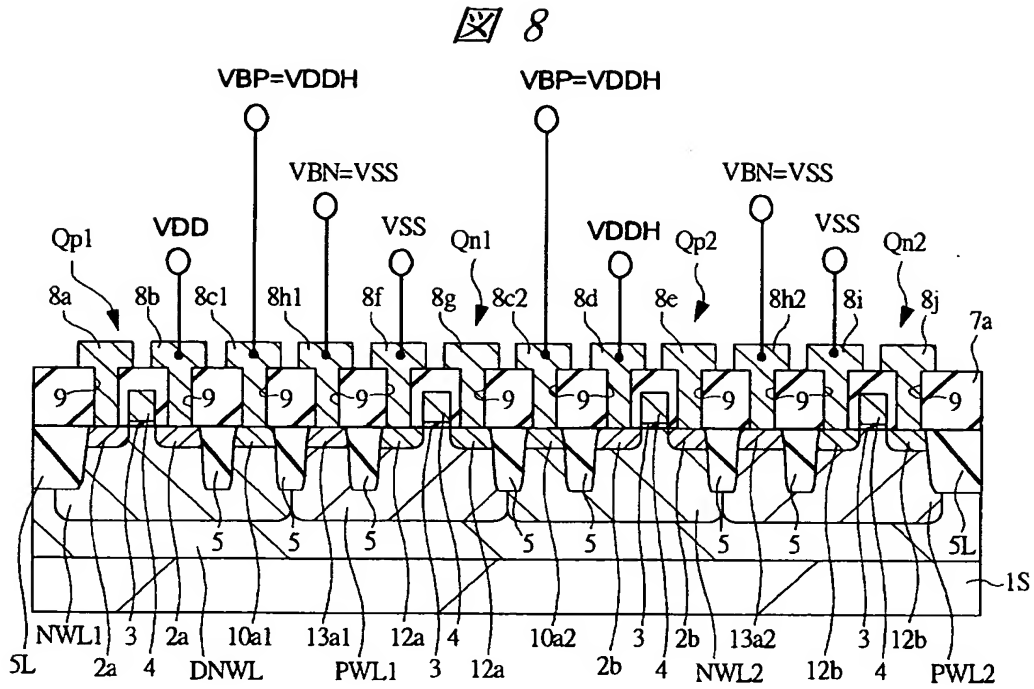


【図 7】

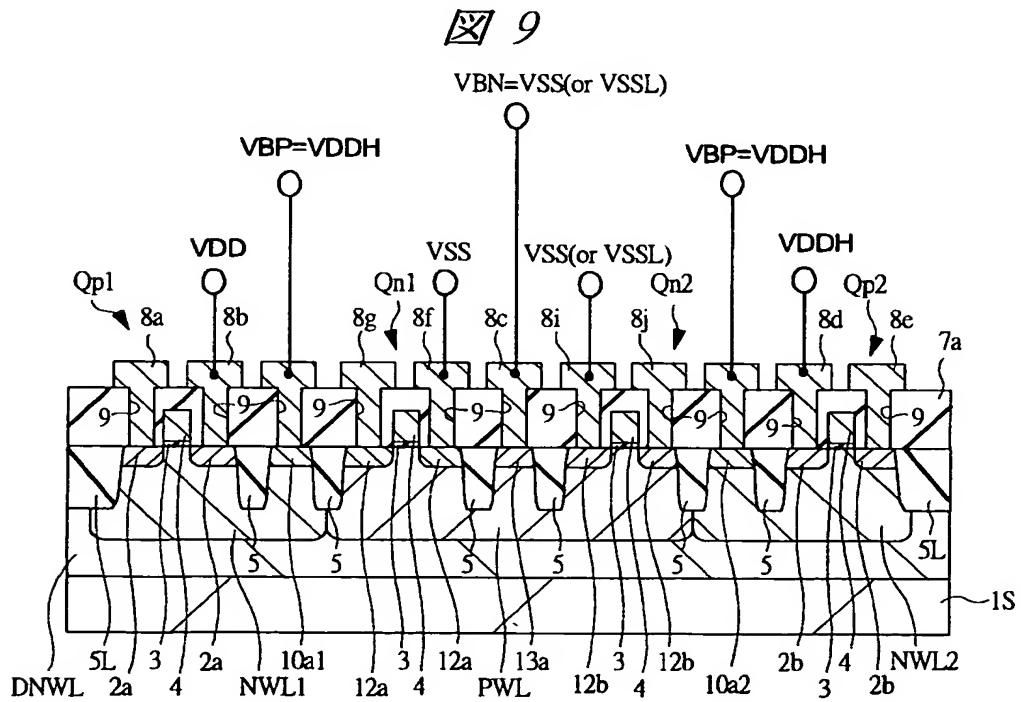
図 7



【图 8】

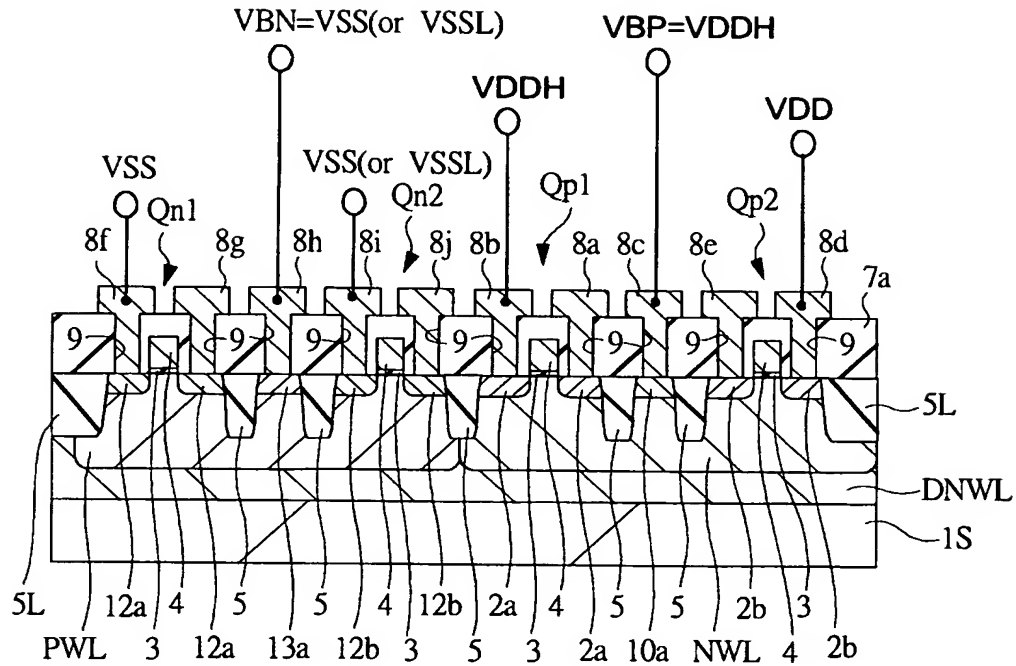


【図 9】



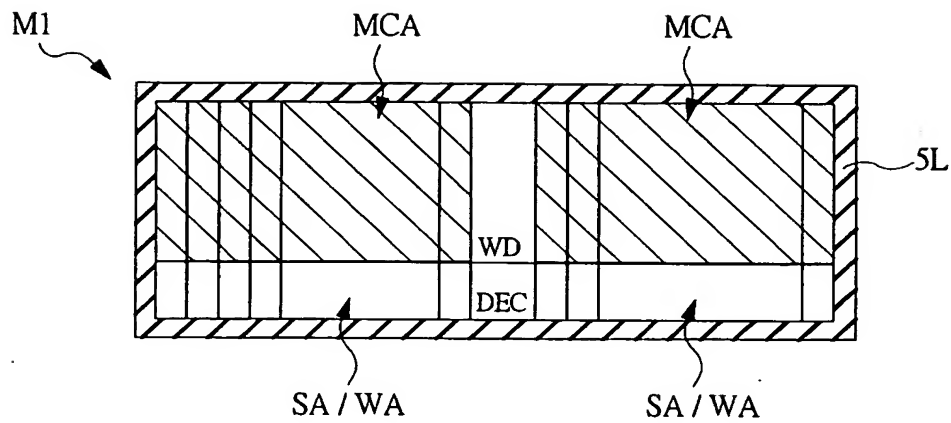
【図 10】

図 10



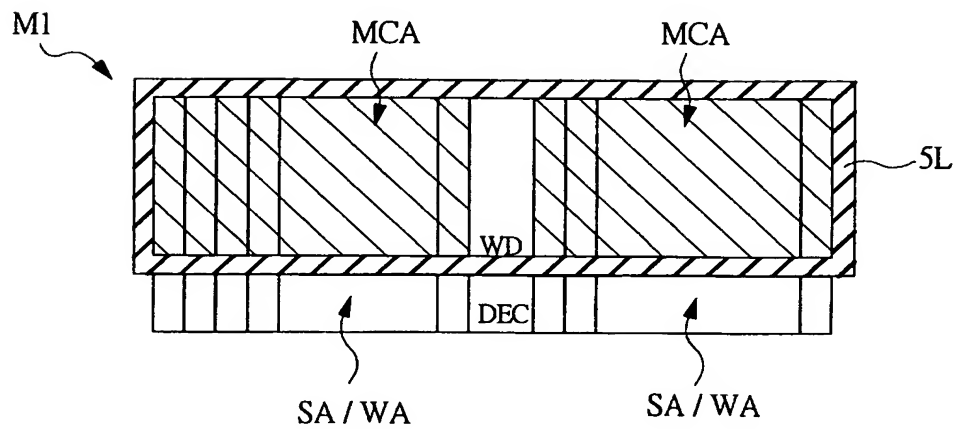
【図 11】

図 11



【図 12】

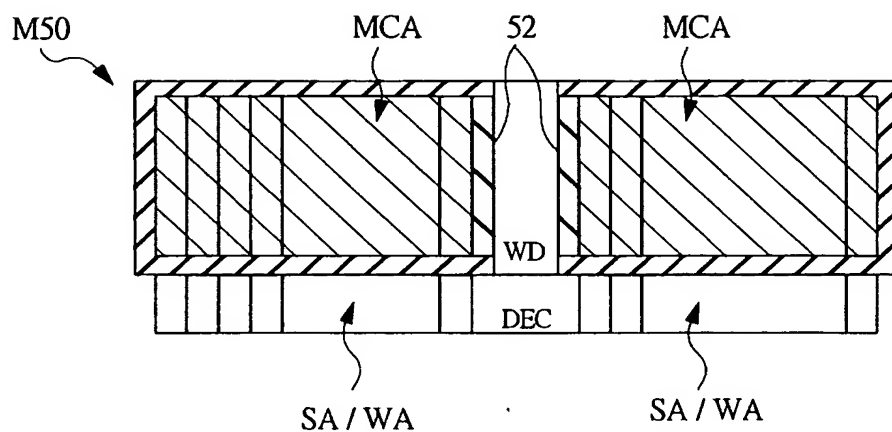
図 12





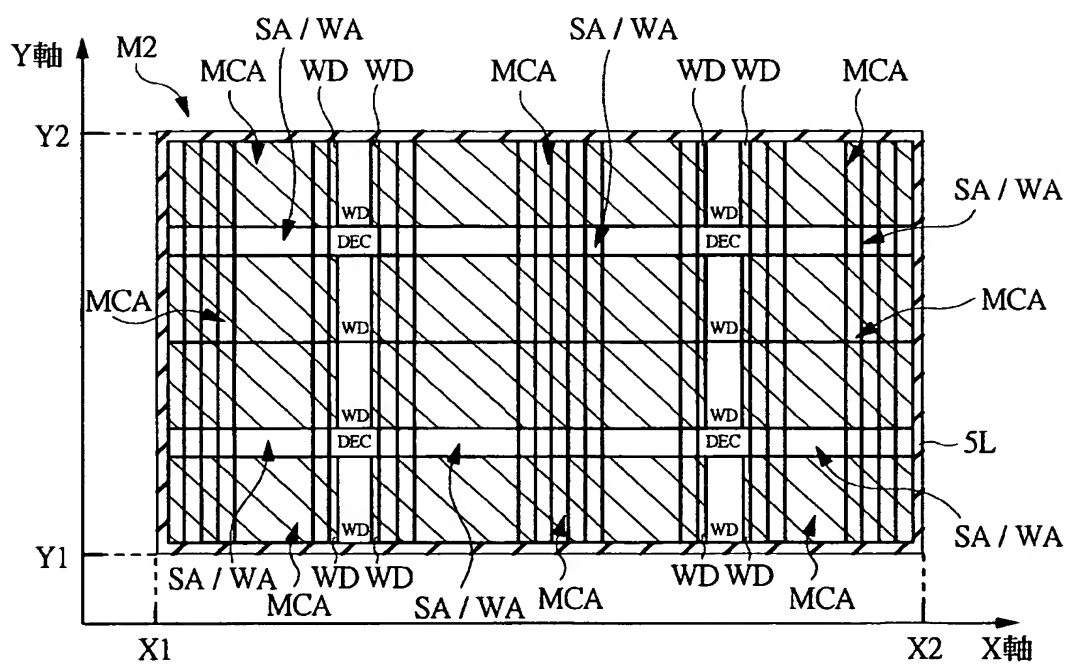
【図 13】

図 13



【図 14】

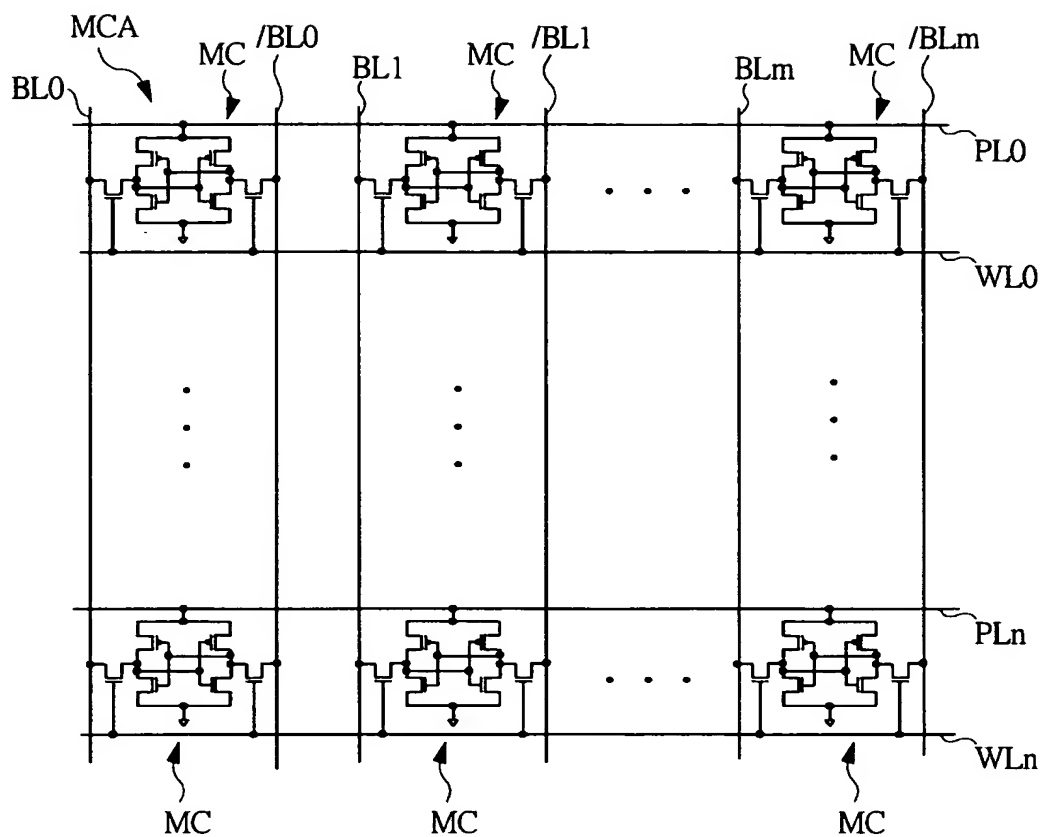
図 14





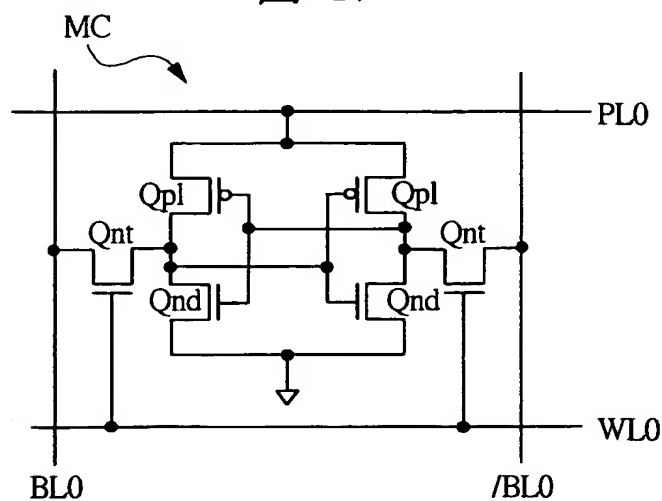
【図 16】

図 16



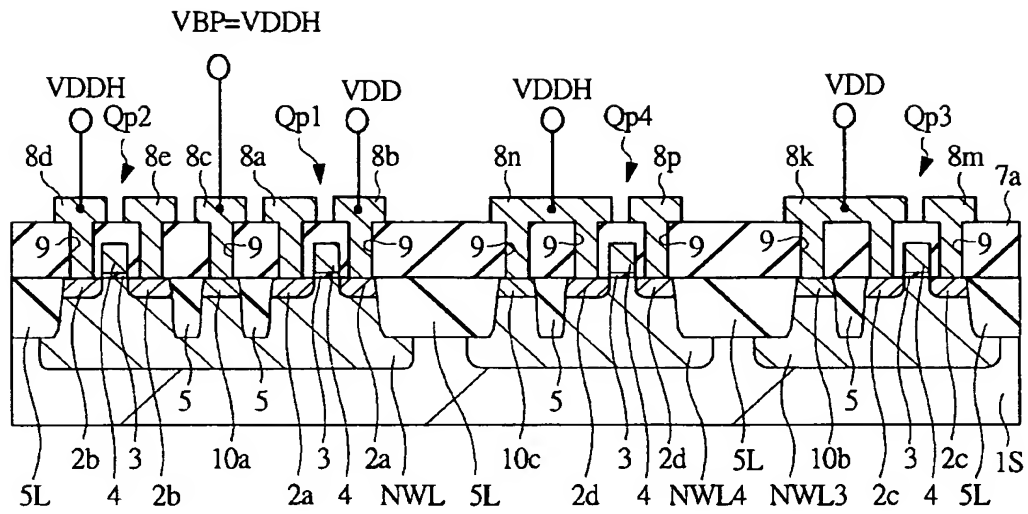
【図 17】

図 17



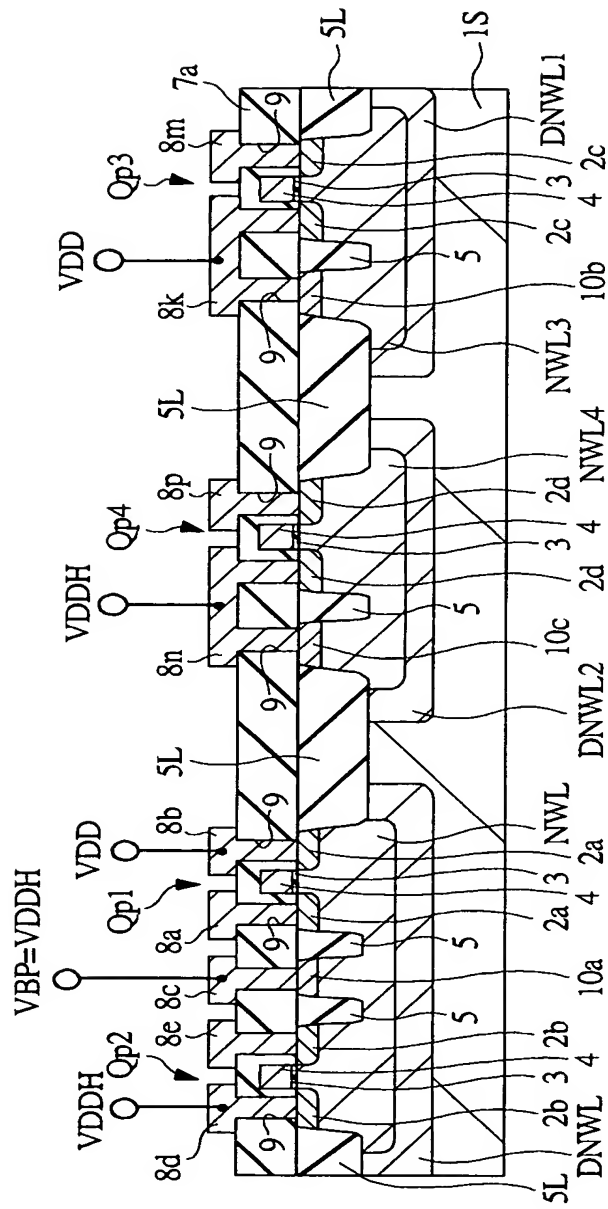
【図 18】

図 18



【図 19】

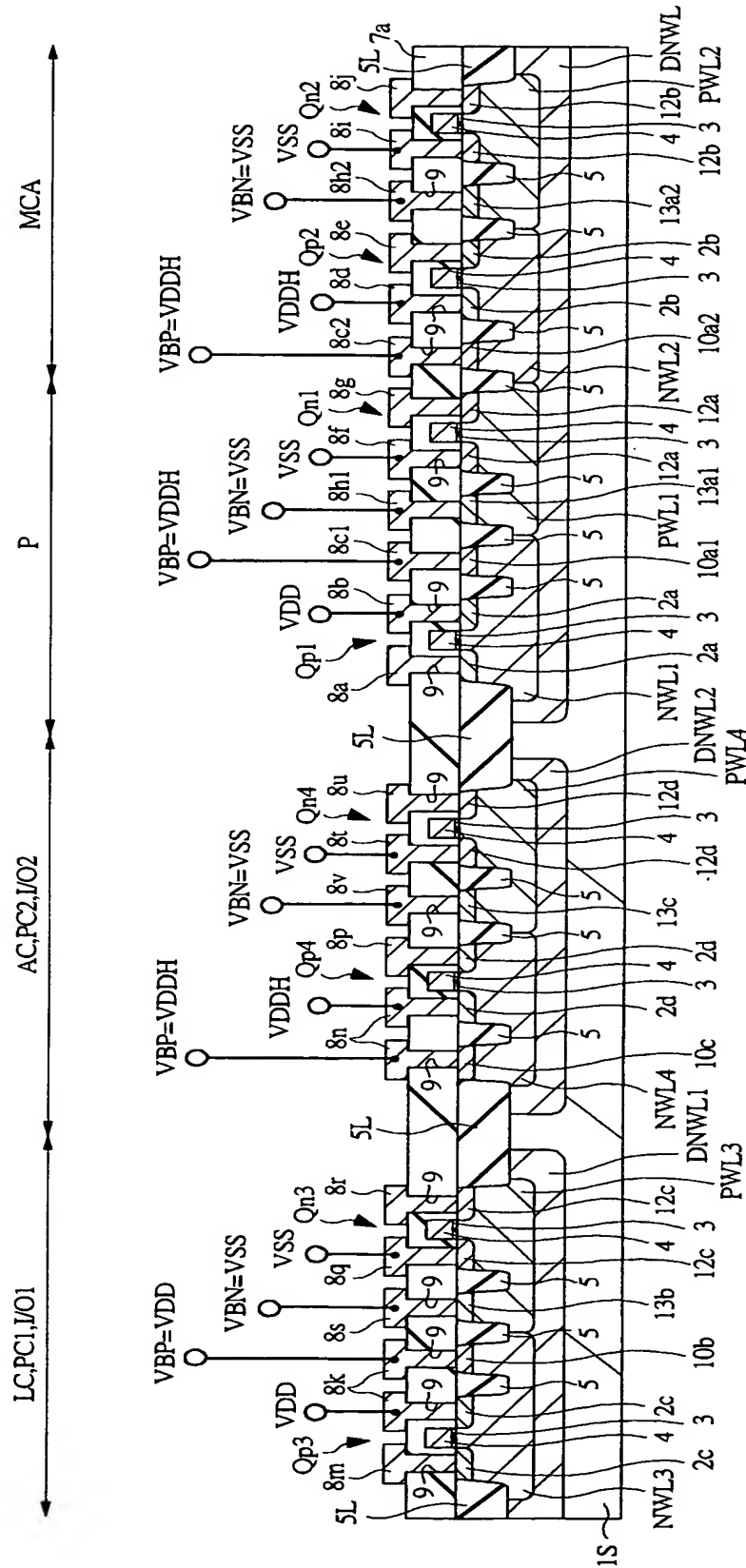
図 19





【図 21】

21



【書類名】 要約書

【要約】

【課題】 半導体装置のチップサイズを縮小させる。

【解決手段】 電源電圧  $V_{DD}$  で駆動する p チャンネル型の MIS・FET  $Q_{p1}$  と、電源電圧  $V_{DD}$  よりも高い電源電圧  $V_{DDH}$  で駆動する p チャンネル型の MIS・FET  $Q_{p2}$  とを同一の半導体基板 1S の同一の n ウエル NWL に配置し、その n ウエル NWL に対して共通のウエルバイアス電圧として電源電圧  $V_{DDH}$  を供給する。これにより、p チャンネル型の MIS・FET  $Q_{p1}$ ,  $Q_{p2}$  を別々の n ウエルに配置してその各々の n ウエルに別々のウエルバイアス電圧を供給する場合よりも p チャンネル型の MIS・FET  $Q_{p1}$ ,  $Q_{p2}$  間の分離部 5 の幅を狭くすることができる。

【選択図】 図 2



特願 2 0 0 3 - 0 4 0 5 4 2

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所